

ANALISIS SENSITIVITAS *TIME SAMPLING* TERHADAP KARAKTERISTIK PENSAKLARAN *ACTIVE POWER FILTER* TERHUBUNG JARINGAN MENGGUNAKAN *MODEL PREDICTIVE CONTROL*

Miftahul Huda Pratama^{1*}, Nundang Busaeri¹, Asep Andang¹

¹Jurusan Teknik Elektro Universitas Siliwangi; Jl. Siliwangi No. 24 Tasikmalaya 46115; (0265) 330634

Keywords:

Active Filter, Field Programmable Gate Array, Harmonic, Model Predictive Control, Time Sampling.

Correspondent Email:

miftahulhudapratama1@gmail.com

Abstrak. Meningkatnya penggunaan beban nonlinier menyebabkan masalah harmonisa yang menurunkan kualitas daya listrik. Penelitian ini menganalisis implementasi filter daya aktif tiga fasa empat kawat dengan kendali *Model Predictive Control* (MPC) untuk mereduksi harmonisa, berfokus pada pengaruh *time sampling* terhadap perilaku *switching* kontroler dalam alur *model-based design*. Pengaruh ini diamati menggunakan *Model Based Design* dan diamati melalui metodologi yang meliputi perancangan dan pengujian melalui tahapan *Model in the Loop* (MIL), *Software in the Loop* (SIL), dan *Processor in the Loop* (PIL) menggunakan FPGA Zedboard. Kinerja dievaluasi berdasarkan perbandingan *Total Harmonic Distortion* (THD) arus dan faktor daya. antara MIL dengan SIL, kemudian MIL dengan PIL. Hasil MIL menunjukkan kendali MPC dengan *time sampling* ideal 10 nanodetik berhasil menurunkan THD sumber (<5% pada beban seimbang) dan memperbaiki faktor daya. Namun, pada SIL dan PIL, kinerja menurun drastis. Perilaku *switching* pada SIL tidak efektif akibat disparitas *time sampling* 10 milidetik pada kontroler SIL dibandingkan dengan 10 nanodetik pada *plant*). Pada PIL, THD melonjak (~44%~54%) disebabkan potensi masalah *timing constraints* FPGA dan sisa isu *time sampling*, yang menggagalkan perilaku *switching* efektif.

Abstract. *The increasing use of nonlinear loads causes harmonic problems that degrade electrical power quality. This research analyzes the implementation of a three-phase four-wire active power filter with Model Predictive Control (MPC), focusing on the influence of sampling time on the controller's switching behavior within a model-based design workflow. This influence is observed using Model-Based Design and evaluated through a methodology encompassing design and testing via Model in the Loop (MIL), Software in the Loop (SIL), and Processor in the Loop (PIL) stages using an FPGA Zedboard. Performance is evaluated based on the comparison of current Total Harmonic Distortion (THD) and power factor between MIL and SIL, and subsequently between MIL and PIL. The MIL results demonstrate that MPC control with an ideal sampling time of 10 nanoseconds successfully reduces source THD (<5% for balanced loads) and improves the power factor. However, in SIL and PIL, performance drastically deteriorates. The switching behavior in SIL is ineffective due to the disparity in sampling time (10 milliseconds in the SIL controller compared to 10 nanoseconds in the plant). In PIL, the THD surges (~44%~54%) due to potential FPGA timing*



JITET is licensed under a Creative Commons Attribution-NonCommercial 4.0 International License

constraints issues and residual sampling time problems, which impede effective switching behavior.

1. PENDAHULUAN

Kualitas daya listrik menjadi aspek krusial seiring dengan meningkatnya penggunaan peralatan elektronik yang bersifat nonlinier. Beban nonlinier ini menarik arus yang tidak sinusoidal meskipun disuplai dari tegangan sinusoidal, sehingga menimbulkan harmonisa pada sistem tenaga listrik [1], [2]. Harmonisa dapat menyebabkan berbagai masalah seperti panas berlebih pada peralatan, kegagalan fungsi, dan penurunan efisiensi sistem. Filter daya aktif (*Active Power Filter - APF*) merupakan salah satu solusi efektif untuk mengatasi masalah harmonisa dengan cara menginjeksikan arus kompensasi ke dalam sistem [3].

Teknik kendali *Model Predictive Control* (MPC) telah banyak diteliti untuk aplikasi filter aktif karena kemampuannya menangani kendala dan sifat multivariabel sistem secara optimal [4]. Perancangan sistem kendali modern seringkali memanfaatkan pendekatan *Model-Based Design* (MBD). Alur kerja MBD umumnya melibatkan beberapa tahapan verifikasi, dimulai dari *Model in the Loop* (MIL) untuk validasi fungsional awal, dilanjutkan dengan *Software in the Loop* (SIL) untuk validasi kode, dan *Processor in the Loop* (PIL) untuk integrasi dengan prosesor target, sebelum implementasi penuh pada *Hardware in the Loop* (HIL) atau *real plant* [5].

Meskipun MBD menawarkan alur kerja yang sistematis, transisi antar tahapan, khususnya dari lingkungan simulasi ideal (MIL) ke implementasi perangkat lunak (SIL) dan perangkat keras (PIL), seringkali memunculkan tantangan. Salah satu aspek kritis yang dapat mempengaruhi kinerja sistem secara signifikan adalah *time sampling* [6]. Ketidaksesuaian atau disparitas *time sampling* antara komponen kendali dan model sistem (*plant*), serta batasan pada perangkat keras target seperti *Field Programmable Gate Array* (FPGA), dapat menyebabkan perilaku *switching* yang tidak diinginkan dan degradasi performa filter [7].

Penelitian ini bertujuan untuk menganalisis secara mendalam pengaruh *time sampling*

terhadap perilaku *switching* dari kendali MPC untuk filter aktif tiga fasa empat kawat dalam setiap tahapan alur MBD (MIL, SIL, dan PIL). Fokus utama adalah mengidentifikasi bagaimana perbedaan konfigurasi *time sampling* dan karakteristik platform eksekusi (Simulink vs. FPGA) mempengaruhi efektivitas sinyal *switching* yang dihasilkan oleh kontroler MPC dan, akibatnya, kinerja keseluruhan filter dalam mereduksi harmonisa.

2. TINJAUAN PUSTAKA

2.1 Filter Daya Aktif Shunt

Filter aktif shunt bekerja dengan menginjeksikan arus kompensasi yang berlawanan fasa dengan arus harmonisa yang dihasilkan oleh beban nonlinier, sehingga arus dari sisi sumber menjadi sinusoidal [8]. Konverter sumber tegangan (*Voltage Source Inverter - VSI*) umumnya digunakan sebagai komponen utama dalam filter aktif shunt [9].

2.2 Model Predictive Control (MPC)

MPC adalah teknik kendali lanjut yang menggunakan model sistem untuk memprediksi perilaku masa depan dari variabel yang dikendalikan. Pada setiap interval sampling, MPC menyelesaikan masalah optimasi untuk menentukan aksi kendali optimal dengan meminimalkan fungsi biaya (*cost function*) berdasarkan prediksi tersebut [10]. Untuk aplikasi konverter daya, MPC seringkali menggunakan model waktu diskrit dari sistem dan mengevaluasi sejumlah terbatas kombinasi *switching* yang mungkin untuk memilih yang terbaik. Persamaan dasar model waktu diskrit yang digunakan untuk prediksi arus beban adalah:

$$i^p(k+1) = \left(1 - \frac{RT_s}{L}\right) i(k) + \frac{T_s}{L} (v(k) - e(k)) \quad (1)$$

Dimana, $i^p(k+1)$ adalah arus prediksi, $i(k)$ adalah arus terukur, $v(k)$ adalah tegangan converter, $e(k)$ adalah estimasi *back-emf*, R , L adalah parameter rangkaian, dan T_s adalah periode sampling. Fungsi biaya yang umum digunakan adalah selisih absolut antara arus referensi dan arus prediksi

$$g = |i_a^* - i_a^p| + |i_b^* - i_b^p| \quad (2)$$

2.3 Model-Based Design (MBD)

Model-Based Design adalah metodologi pengembangan yang menggunakan model sistem sebagai pusat dari proses desain, simulasi, verifikasi, dan generasi kode [5]. Tahapan umum meliputi:

1. **MIL:** Verifikasi fungsional algoritma kontrol dengan model *plant* dalam satu lingkungan simulasi.
2. **SIL:** Verifikasi kode yang dihasilkan (atau ditulis manual) dari algoritma kontrol, dijalankan pada *host computer* bersama dengan model *plant*.
3. **PIL:** Verifikasi kode algoritma kontrol yang dijalankan pada prosesor target (misalnya, FPGA), sementara model *plant* tetap disimulasikan di *host computer*.

2.4 Time Sampling dalam Sistem Digital dan FPGA

Dalam sistem kendali digital, *time sampling* T_s adalah interval waktu antara pengukuran atau aksi kendali berturut-turut. Pemilihan T_s sangat krusial, *sampling* yang terlalu lambat dapat menyebabkan ketidakstabilan atau kehilangan informasi penting, sedangkan *sampling* yang terlalu cepat dapat membebani komputasi. Pada FPGA, operasi logika disinkronkan oleh sinyal *clock*. Periode *clock* menentukan resolusi waktu terkecil untuk operasi. Algoritma yang diimplementasikan pada FPGA harus dapat menyelesaikan komputasinya dalam satu atau beberapa periode *clock* [11]. Jika *time sampling* yang dibutuhkan oleh algoritma kendali berbeda signifikan dengan kemampuan pemrosesan perangkat keras atau *time sampling* bagian lain dari sistem, masalah sinkronisasi dan keterlambatan dapat terjadi [12]. Selain itu, *timing constraints* (batasan waktu) pada FPGA, seperti *setup time* dan *hold time*, harus terpenuhi untuk memastikan operasi logika yang benar pada frekuensi *clock* yang diinginkan [6].

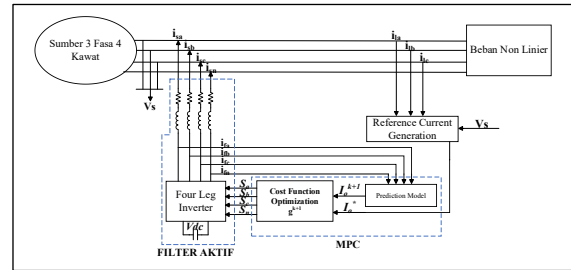
3. METODE PENELITIAN

Penelitian ini menggunakan pendekatan MBD untuk merancang dan menguji sistem filter aktif tiga fasa empat kawat yang dikendalikan oleh MPC. Perangkat lunak MATLAB/Simulink R2022a digunakan untuk pemodelan dan simulasi, sementara FPGA Xilinx Zynq-7000 pada papan Zedboard digunakan sebagai prosesor target untuk tahap PIL.

3.1 Perancangan Sistem

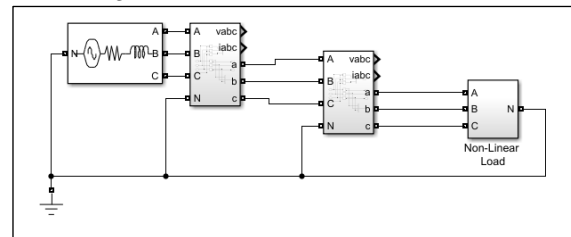
Sistem yang dirancang terdiri dari sumber tegangan tiga fasa empat kawat (380V L-L, 50Hz), beban nonlinier (kombinasi penyearah jembatan dan beban RL), dan filter aktif shunt. Filter aktif menggunakan topologi konverter empat kaki (*four-leg inverter*) untuk menangani ketidakseimbangan beban dan arus netral. Kendali MPC bertugas menghasilkan sinyal *switching* untuk konverter. Arus referensi untuk kompensasi harmonisa dihitung menggunakan teori *Synchronous Reference Frame* (SRF).

Gambaran umum sistem filter daya aktif yang terhubung ke jaringan ditunjukkan pada Gambar 1

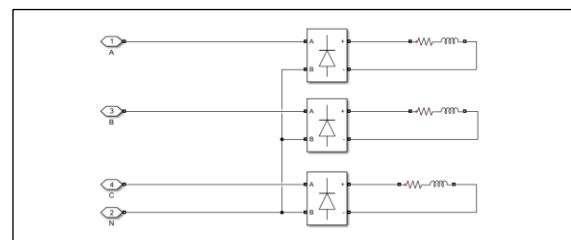


Gambar 1 Filter daya aktif yang terhubung ke jaringan

Sistem ini mencakup sumber tiga fasa, beban nonlinier, dan filter aktif yang terdiri dari konverter dan unit kendali MPC. Model sistem tiga fasa empat kaki yang digunakan, termasuk sumber dan blok beban nonlinier, diilustrasikan pada Gambar 2, lalu untuk rangkaian model beban non linier di simulink seperti pada Gambar 3.

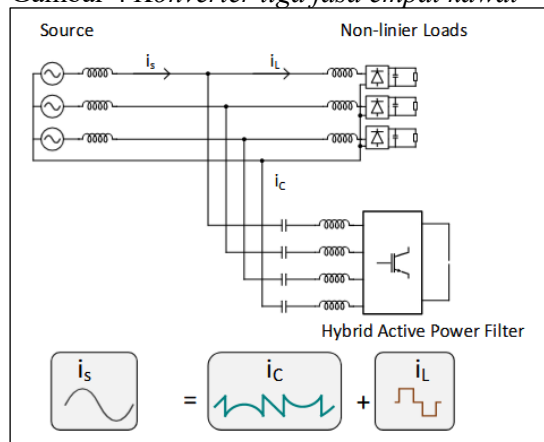


Gambar 2 Blok Model Sistem Tiga Fasa Empat Kaki



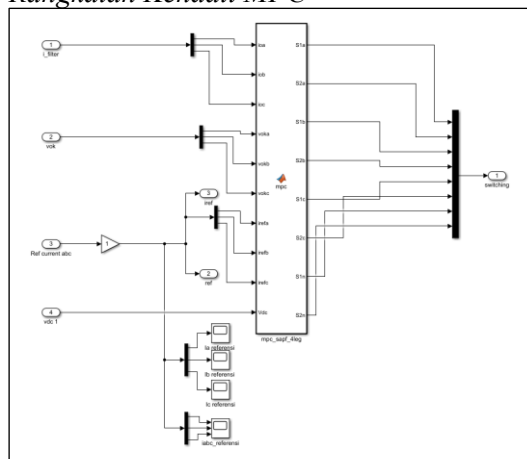
Gambar 3 Rangkaian Model Beban Non Linier

Topologi konverter empat kaki yang digunakan dalam filter aktif ditunjukkan pada Gambar 4 *Konverter tiga fasa empat kawat*



Gambar 4 Konverter tiga fasa empat kawat

Blok diagram kendali MPC yang mengolah sinyal masukan untuk menghasilkan sinyal *switching* diilustrasikan pada Gambar 5 *Rangkaian Kendali MPC*



Gambar 5 Rangkaian Kendali MPC

3.2 Konfigurasi Tahapan Pengujian

1. **Model in the Loop (MIL):** Seluruh sistem, termasuk *model plant* (sumber, beban) dan kontroler MPC (diimplementasikan menggunakan blok MATLAB Function), disimulasikan sepenuhnya dalam lingkungan Simulink. *Time sampling* untuk model diskrit sistem dan eksekusi kontroler diatur seragam dan ideal, yaitu 10 nanodetik (sesuai dengan target periode *clock* FPGA frekuensi 100 MHz). Perilaku *switching* diamati dari sinyal keluaran blok MATLAB Function.
2. **Software in the Loop (SIL):** Algoritma kendali MPC dari blok MATLAB Function

dikonversi menjadi kode yang dapat dieksekusi pada host computer. Ini dilakukan dengan membuat subsistem *mpc_HDL* yang berisi blok MCode dari Vitis Model Composer, yang merujuk pada fungsi MATLAB yang sama. Model *plant* tetap disimulasikan di Simulink. *Timesampling* pada model *plant* dipertahankan 10 ns. Perilaku *time sampling* pada keluaran blok MCode (setelah proses MATLAB Function) diamati menggunakan fitur *Timing Legend* Simulink. Perilaku *switching* diamati dari keluaran subsistem *mpc_HDL*.

3. **Processor in the Loop (PIL):** Algoritma kendali MPC dalam subsistem *mpc_HDL* dikompilasi menjadi *bitstream* dan diunggah ke FPGA Zedboard menggunakan Xilinx Vitis Model Composer dan HDL Coder. Blok FIL (FPGA-in-the-Loop) yang dihasilkan kemudian menggantikan subsistem *mpc_HDL* dalam model Simulink utama. Model *plant* tetap berjalan di *host computer*. Komunikasi antara Simulink (model *plant*) dan FPGA (kontroler MPC) dilakukan melalui koneksi USB JTAG. *Time sampling* pada model *plant* tetap 10 nano detik. Periode *clock* FPGA target diatur ke 10 ns (100 MHz). Perilaku *switching* diamati dari sinyal keluaran blok FIL yang merepresentasikan sinyal dari FPGA.

3.4 Evaluasi Kinerja dan Analisis Pengaruh *Time Sampling*

Kinerja filter dievaluasi berdasarkan nilai THD arus sumber dan faktor daya pada berbagai skenario beban (seimbang dan tidak seimbang). Perilaku *switching* dianalisis secara kualitatif dari bentuk gelombang sinyal *gate* konverter. Pengaruh *time sampling* dianalisis dengan membandingkan:

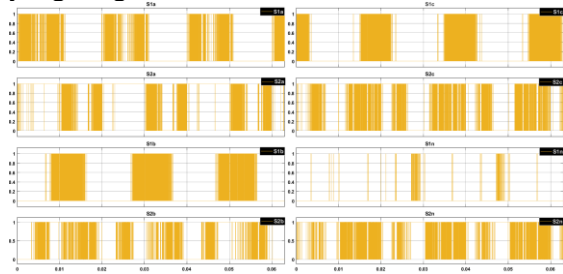
1. Konfigurasi *time sampling* pada blok kontroler di setiap tahapan (MIL, SIL, PIL).

2. Bentuk gelombang *switching* yang dihasilkan.
3. Kinerja THD dan faktor daya yang dicapai. Data *time sampling* sebelum dan sesudah blok kendali (MATLAB Function pada MIL, MCode pada SIL) dicatat menggunakan fitur *Timing Legend* pada Simulink untuk mengidentifikasi disparitas. Peringatan *timing constraints* dari proses kompilasi FPGA juga diperhatikan.

4. HASIL DAN PEMBAHASAN

4.1 Kinerja pada Tahap Model in the Loop

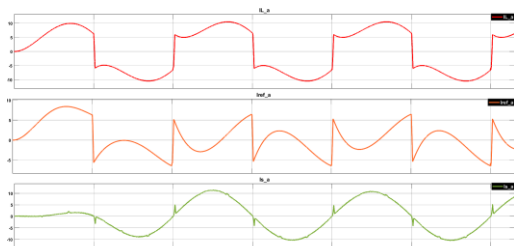
Pada tahap MIL, dengan *time sampling* kontroler dan *plant* yang ideal dan sinkron 10 nano detik, filter aktif menunjukkan kinerja yang sangat baik.



Gambar 7 Hasil Switching Beban Seimbang Pada MIL

1. Perilaku Switching: Pola switching yang dihasilkan oleh MPC Gambar 7 tampak dinamis dan efektif, menghasilkan arus injeksi yang sesuai untuk kompensasi harmonisa. Bentuk gelombang arus sumber mendekati sinusoidal.
2. Perilaku Switching: Pola switching yang dihasilkan oleh MPC Gambar 7 tampak dinamis dan efektif, menghasilkan arus injeksi yang sesuai untuk kompensasi harmonisa. Bentuk gelombang arus sumber Gambar 6, Gambar 11, mendekati sinusoidal.

4.2. Kinerja pada Tahap Software in the Loop



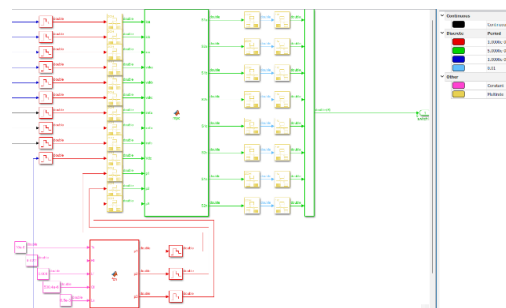
Gambar 6 Grafik arus beban, arus referensi, dan arus sumber fasa a

(SIL) dan Pengaruh *Time Sampling*

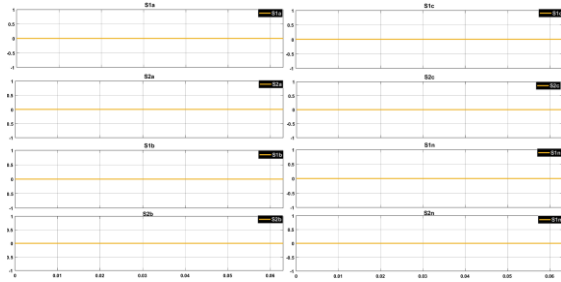
Transisi ke tahap SIL menunjukkan degradasi kinerja yang signifikan.

1. Perilaku Switching Berbeda dengan MIL, sinyal *switching* yang dihasilkan pada tahap SIL Gambar 9 tampak hampir konstan atau tidak menunjukkan pola pensaklaran yang efektif untuk mengendalikan konverter. Hal ini mengindikasikan bahwa algoritma MPC yang diimplementasikan sebagai kode perangkat lunak dalam blok MCode tidak menghasilkan sinyal kontrol yang dinamis.
2. Reduksi THD dan Faktor Daya: Akibat perilaku switching yang tidak efektif, kinerja filter sangat buruk. Pada beban seimbang, THD arus sumber justru meningkat drastis menjadi antara 44,12% hingga 77,1% pada Tabel 1, jauh lebih tinggi dari THD beban (sekitar 28%-32%). Tren serupa teramati pada semua skenario beban tidak seimbang.
3. Analisis Pengaruh Time Sampling pada SIL: Investigasi menggunakan fitur *Timing Legend* pada Simulink pada Tabel 1 mengungkap akar permasalahan utama: disparitas *time sampling*.

Disparitas yang sangat besar ini (10 milidetik untuk kontroler dengan 10 nano detik untuk *plant*) berarti sinyal kendali (*switching*) hanya diperbarui setiap 0.01 detik, sedangkan sistem membutuhkan aksi kendali yang jauh lebih cepat setiap 10 ns untuk merespons dinamika harmonisa.



Gambar 8 Pendekatan Model MIL Untuk SIL, Untuk Melihat Perilaku *Time Sampling* Terhadap Hasil *Switching*

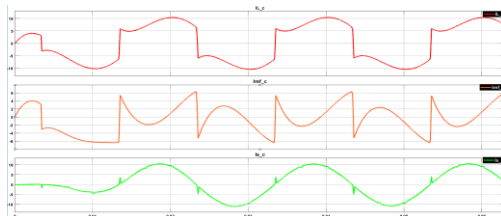


Gambar 9 Hasil *Switching* SIL

Keterlambatan masif dalam penerapan sinyal *switching* pada Gambar 9 ini menyebabkan algoritma kendali tidak mampu bekerja secara efektif. Simulasi ulang pada model MIL dengan menyesuaikan *time sampling* kontroler menjadi 0.01 detik pada Gambar 8 juga menghasilkan pola *switching* yang terlambat dan tidak efektif Gambar 12. Memvalidasi bahwa disparitas *time sampling* adalah penyebab utama kegagalan pada SIL.

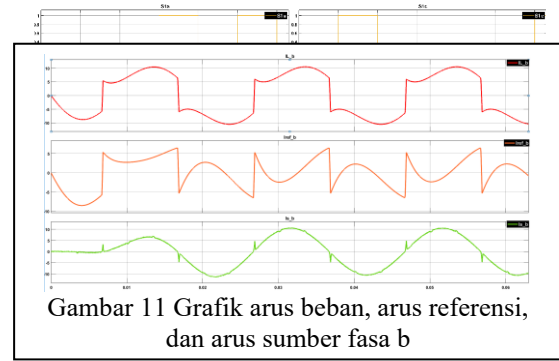
4.3 Kinerja pada Tahap *Processor in the Loop* (PIL) dan Pengaruh *Time Sampling* Lanjutan

Pengujian PIL, di mana kode kendali MPC dijalankan pada FPGA Zedboard, juga menunjukkan kinerja yang tidak sesuai harapan, meskipun ada beberapa perbedaan minor dibandingkan SIL.

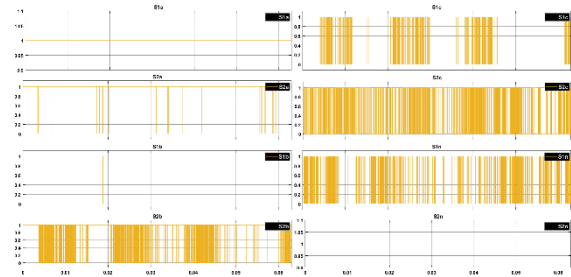


Gambar 10 Grafik arus beban, arus referensi, dan arus sumber fasa c

1. Perilaku *Switching*: Pada salah satu skenario PIL Gambar 13, teramati adanya aktivitas *switching*, tidak sepenuhnya konstan seperti pada SIL. Namun, pola *switching* ini masih jauh dari ideal, tidak teratur, dan tidak cukup efektif untuk melakukan koreksi harmonisa.
2. Reduksi THD dan Faktor Daya: Meskipun ada aktivitas *switching*, kinerja filter pada PIL tetap sangat buruk. Pada beban seimbang, THD arus sumber tercatat sangat tinggi, sekitar 44,44% hingga 54,29%, Hasil pada Tabel 1 serupa atau lebih buruk terjadi pada semua skenario beban tidak seimbang.



Gambar 11 Grafik arus beban, arus referensi, dan arus sumber fasa b



Gambar 13 *Switching* PIL pada beban seimbang

4.4 Analisis Komparatif Pengaruh *Time Sampling* pada Perilaku *Switching*

Perbandingan hasil MIL, SIL, dan PIL pada Tabel 1 dan Tabel 2 secara jelas menunjukkan dampak kritis *time sampling* dan transisi platform terhadap perilaku *switching* dan kinerja filter:

1. MIL (Ideal): *Time sampling* sinkron dan ideal (10 nanodetik) menghasilkan perilaku *switching* yang efektif dan kinerja filter yang baik, memenuhi standar pada banyak kasus.
2. SIL (Degradasi Akibat Disparitas T_s): Perubahan drastis *time sampling* pada output blok MCode menjadi 10 milidetik menyebabkan sinyal *switching* menjadi tidak relevan dengan dinamika sistem (plant yang berjalan pada 10 nanodetik.), mengakibatkan kegagalan total fungsi filter.
3. PIL (Degradasi Akibat Kompleksitas dan Timing FPGA): Meskipun *time sampling* input ke logika FPGA diatur sesuai target (10 nanodetik), perilaku *switching* tetap buruk. Hal ini diduga kuat disebabkan oleh ketidakmampuan desain logika MPC yang kompleks untuk memenuhi timing constraints pada frekuensi clock 100 MHz, menyebabkan sinyal *switching* yang dihasilkan FPGA tidak akurat atau tidak stabil.

Temuan ini menggaris bawahi bahwa tidak hanya nilai *time sampling* absolut yang penting, tetapi juga konsistensi dan sinkronisasinya di seluruh komponen sistem dalam alur MBD.

Selain itu, kompleksitas algoritma harus dipertimbangkan terhadap kapabilitas perangkat keras target untuk memastikan *timing closure* dapat tercapai.

Tabel 1 Tabel Perbandingan THD antara MIL, SIL, PIL

Skenario Beban	THD Arus (%)									Standar IEEE 519-2022
	MIL			SIL			PIL			
	Fasa A	Fasa B	Fasa C	Fasa A	Fasa B	Fasa C	Fasa A	Fasa B	Fasa C	
Beban Seimbang	4,84	4,94 7	4,92 6	44,1 2	77,1	56,4 8	44,4 4	54,2 9	53,8 4	5
Beban Tidak Seimbang di Fasa A	4,78	5,46 5	2,48 1	44,0 3	77,1 3	56,4 8	40,6 8	52,7 9	61,4 4	
Beban Tidak Seimbang di Fasa B	4,70 4	4,35 9	5,2	43,9 9	77,5	56,4 2	50,9 1	51,6 8	49,9 2	
Beban Tidak Seimbang di Fasa C	4,12 3	11,8 3	3,82 3	44,1	77,1 4	56,4 7	39,4	54,8 7	61,0 3	

Tabel 2 Tabel Perbandingan Time Sampling

Keadaan	Time Sampling (s)		
	MIL	SIL	PIL
Sebelum Melalui Blok Matlab Function/Mcode	1×10^{-8}	1×10^{-8}	1×10^{-8}
Setelah Melalui Blok Matlab Function/Mcode	1×10^{-8}	1×10^{-2}	1×10^{-8}

5. KESIMPULAN

1. Dalam lingkungan simulasi ideal MIL, kendali MPC dengan *time sampling* yang sinkron dan cepat 10 nanodetik mampu menghasilkan perilaku *switching* yang efektif untuk mengontrol konverter filter aktif, sehingga berhasil mereduksi THD arus sumber hingga memenuhi standar IEEE 519-2022 pada sebagian besar skenario beban dan memperbaiki faktor daya mendekati satu.
2. Pada tahap *Software in the Loop*, terjadi kegagalan signifikan dalam perilaku *switching* dan kinerja filter. Penyebab utama adalah disparitas time sampling yang sangat besar antara output blok kendali MPC setelah proses MCode, menjadi 10 milidetik dan model sistem plant tetap 10 nanodetik. Keterlambatan ini membuat sinyal *switching* tidak efektif.
3. Pada tahap *Processor in the Loop*, meskipun time sampling input ke FPGA diatur sesuai target 10 nanodetik, perilaku *switching* yang dihasilkan oleh FPGA tetap tidak efektif dan kinerja filter sangat buruk. Hal ini diduga kuat disebabkan oleh kombinasi dari sisa isu terkait alur kerja time sampling pada Vitis

Model Composer dan ketidakmampuan desain logika MPC yang kompleks untuk memenuhi timing constraints pada frekuensi clock target 100 MHz di FPGA Zedboard.

UCAPAN TERIMA KASIH

Penulis mengucapkan terima kasih kepada pihak-pihak terkait yang telah memberi dukungan terhadap penelitian ini.

DAFTAR PUSTAKA

- [1] Z. Hu, Y. Han, A. S. Zalhaf, S. Zhou, E. Zhao, and P. Yang, "Harmonic Sources Modeling and Characterization in Modern Power Systems: A Comprehensive Overview," *Electric Power Systems Research*, vol. 218, p. 109234, May 2023, doi: 10.1016/j.epsr.2023.109234.
- [2] G. Samiaji, A. Multi, O. A. Rozak, and L. Faturrachman, "ANALISIS PERBANDINGAN KUALITAS DAYA LISTRIK BERDASARKAN HARMONISA PADA MOTOR LISTRIK DENGAN SUPPLAI TENAGA SURYA DAN PLN," *Jurnal Informatika dan Teknik Elektro Terapan*, vol. 12, no. 3, Aug. 2024, doi: 10.23960/jitet.v12i3.4876.
- [3] P. S. Sanjan *et al.*, "Enhancement of Power Quality in Domestic Loads Using Harmonic Filters," *IEEE Access*, vol. 8, pp. 197730–197744, 2020, doi: 10.1109/ACCESS.2020.3034734.
- [4] H. Komurcugil, S. Bayhan, N. Guler, and F. Blaabjerg, "An Effective Model Predictive Control Method With Self-Balanced Capacitor Voltages for Single-Phase Three-Level Shunt Active Filters," *IEEE Access*, vol. 9, pp. 103811–103821, 2021, doi: 10.1109/ACCESS.2021.3097812.
- [5] D. Shylla, A. Jain, P. Shah, and R. Sekhar, "Model in Loop (MIL), Software in Loop (SIL) and Hardware in Loop (HIL) Testing in MBD," in *2023 4th IEEE Global Conference for Advancement in Technology (GCAT)*, IEEE, Oct. 2023, pp. 1–6, doi: 10.1109/GCAT59970.2023.10353323.
- [6] K. Gupta, S. Sahoo, and B. K. Panigrahi, "Delay-Aware Semantic Sampling in Power Electronic Systems," *IEEE Trans Smart Grid*, vol. 15, no. 4, pp. 4038–4049, Jul. 2024, doi: 10.1109/TSG.2023.3339707.
- [7] C. Gao *et al.*, "Quantization Effects on Digital-PR-Controlled Active Power Filter," *IEEE J Emerg Sel Top Power Electron*, vol. 11, no. 6, pp. 5785–5797, Dec. 2023, doi: 10.1109/JESTPE.2023.3313814.
- [8] X. Cao, K. Dong, and X. Wei, "An Improved Control Method Based on Source Current

- Sampled for Shunt Active Power Filters,” *Energies (Basel)*, vol. 13, no. 6, p. 1405, Mar. 2020, doi: 10.3390/en13061405.
- [9] P. K. Barik, G. Shankar, and P. K. Sahoo, “Investigations on Split-Source Inverter Based Shunt Active Power Filter Integrated Microgrid System for Improvement of Power Quality Issues,” *Journal of Electrical Engineering & Technology*, vol. 17, no. 4, pp. 2025–2047, Jul. 2022, doi: 10.1007/s42835-022-00999-3.
- [10] J. Lan and D. Zhao, “Robust model predictive control for nonlinear parameter varying systems without computational delay,” *International Journal of Robust and Nonlinear Control*, vol. 31, no. 17, pp. 8273–8294, Nov. 2021, doi: 10.1002/rnc.5235.
- [11] O. Drozd, G. Nowakowski, A. Sachenko, V. Antoniuk, V. Kochan, and M. Drozd, “Power-Oriented Monitoring of Clock Signals in FPGA Systems for Critical Application,” *Sensors*, vol. 21, no. 3, p. 792, Jan. 2021, doi: 10.3390/s21030792.
- [12] O. Hartwig, J.-B. Bayle, M. Staab, A. Hees, M. Lilley, and P. Wolf, “Time-delay interferometry without clock synchronization,” *Physical Review D*, vol. 105, no. 12, p. 122008, Jun. 2022, doi: 10.1103/PhysRevD.105.122008.